



XA-9965  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Hidemi OYAMA et al.

Appln. No.: 10/714,936

Group Art Unit: 2124

Filed: November 18, 2003

For: DATA PROCESSOR AND MEMORY CARD

\* \* \*

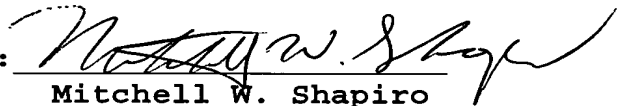
CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim the priority of Japanese  
Patent Application No. 2002-361652 filed December 13, 2002,  
and submit herewith a certified copy of said application.

Respectfully submitted,

By:   
Mitchell W. Shapiro  
Reg. No. 31,568

MWS:sjk

Miles & Stockbridge P.C.  
1751 Pinnacle Drive  
Suite 500  
McLean, Virginia 22102-3833  
(703) 903-9000

March 22, 2004

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月13日  
Date of Application:

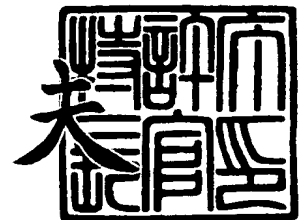
出願番号 特願2002-361652  
Application Number:  
[ST. 10/C]: [JP2002-361652]

出願人 株式会社ルネサステクノロジ  
Applicant(s): 株式会社ルネサス北日本セミコンダクタ

2003年10月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 H02014231

【提出日】 平成14年12月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/06

【発明者】

【住所又は居所】 北海道千歳市泉沢 1 0 0 7 番地 3 9 株式会社北日本セ  
ミコンダクタテクノロジーズ内

【氏名】 小山 秀見

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 恩田 道雄

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 朝永 和洋

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 佐藤 秀雄

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233594

【氏名又は名称】 株式会社北日本セミコンダクタテクノロジーズ

**【代理人】****【識別番号】** 100089071**【弁理士】****【氏名又は名称】** 玉村 静世**【電話番号】** 03-5217-3960**【手数料の表示】****【予納台帳番号】** 011040**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 データプロセッサ及びメモリカード

【特許請求の範囲】

【請求項 1】 中央処理装置と、クロック同期型のメモリカードに接続可能なメモリカードインタフェースコントローラとを有するデータプロセッサであって、

前記メモリカードインタフェースコントローラは、前記メモリカードにクロック信号を送信して前記メモリカードからの読み出しデータを前記クロック信号に同期して取り込み、前記読み出しデータの取り込みを前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかが選択可能であることを特徴とするデータプロセッサ。

【請求項 2】 前記メモリカードインタフェースコントローラは、前記クロック信号の周波数を切り換え可能であることを特徴とする請求項 2 記載のデータプロセッサ。

【請求項 3】 前記中央処理装置は読み出しデータのリードエラーに応答してクロック信号の立ち上り同期による取り込みと立ち下がり同期による取込みとを切り換えることを特徴とする請求項 1 又は 2 記載のデータプロセッサ。

【請求項 4】 前記中央処理装置は読み出しデータのリードエラーに応答してクロック信号を高周波から低周波に変更する請求項 2 記載のデータプロセッサ。

【請求項 5】 前記中央処理装置は読み出しデータのリードエラーに応答してクロック信号の立ち上り同期による取り込みと立ち下がり同期による取込みとを切り換え、切り換え後に生ずる読み出しデータのリードエラーに応答してクロック信号を高周波から低周波に変更することを特徴とする請求項 2 記載のデータプロセッサ。

【請求項 6】 前記中央処理装置は読み出しデータのリードエラーに応答してクロック信号を高周波から低周波に変更し、周波数変更後に生ずる読み出しデータのリードエラーに応答してクロック信号の立ち上り同期による取り込みと立ち下がり同期による取込みとを切り換えることを特徴とする請求項 2 記載のデー

タプロセッサ。

【請求項 7】 前記中央処理装置によりアクセス可能な第 1 レジスタを有し、当該第 1 レジスタに設定される制御データにしたがって前記読み出しデータの取り込みを前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかが決定されることを特徴とする請求項 1 記載のデータプロセッサ。

【請求項 8】 前記中央処理装置によりアクセス可能な第 1 レジスタ及び第 2 レジスタを有し、前記第 1 レジスタに設定される制御データにしたがって前記読み出しデータの取り込みを前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかが決定され、前記第 2 レジスタに設定される制御データにしたがって前記クロック信号の高周波又は低周波が決定されることを特徴とする請求項 2 記載のデータプロセッサ。

【請求項 9】 電氣的に書換え可能な不揮発性メモリを有し、前記不揮発性メモリは、前記中央処理装置が実行して前記制御データを生成する制御プログラムの格納領域とされることを特徴とする請求項 7 又は 8 記載のデータプロセッサ。

【請求項 10】 前記メモリカードインタフェースコントローラは、前記メモリカードにクロック信号に同期してデータの送信を行い、データの送信を前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかが選択可能であることを特徴とする請求項 1 又は 2 記載のデータプロセッサ。

【請求項 11】 メモリカードホスト装置からクロック信号を受信して、読み出しデータを前記メモリカードホスト装置に送信可能なメモリカードであって、

前記読み出しデータの送信を前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかが選択可能であることを特徴とするメモリカード。

【請求項 12】 前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかの指示はメモリカードホスト装置から与えられることを特徴とする請求項 11 記載のメモリカード。

【請求項 13】 メモリカードホスト装置からデータを前記クロック信号に同期して取り込み、前記データの取り込みを前記クロック信号の立ち上り同期で

行なうか立ち下がり同期で行うかが選択可能であることを特徴とする請求項 11 記載のメモリカード。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明は、メモリカード、そしてメモリカードホスト装置を構成するメモリカードインタフェースコントローラ内蔵のデータプロセッサ、特に、データ取り込みのためのクロック制御及びクロック周波数制御に関する。

**【0002】**

**【従来の技術】**

クロック同期型のメモリカードはメモリカードホスト装置から転送クロック信号を受信し、転送クロック信号に同期して読み出しデータの出力動作を行い、メモリカードホスト装置は出力された読み出しデータを転送クロック信号に同期して取込む。この種のタイミング制御を行う技術として、データ線などを共有する各半導体メモリモジュールに対応したアクセスタイミング情報を予め格納しておき、このタイミング情報に基づいてアクセス対象半導体メモリモジュールに応じて、転送先側でのデータ取り込みタイミングを変化させたり、クロック幅を変化させたりする技術がある（特許文献 1 参照）。要するにこれは、メモリに供給されるクロック位相をアクセスタイミング情報に従ってソフトウェアで切り換えることにより、データリードタイミングを調整するというものである。

**【0003】**

**【特許文献 1】**

特開平 08-123717 号公報

**【0004】**

**【発明が解決しようとする課題】**

本発明者はクロック同期型のメモリカード及びメモリカードホスト装置におけるクロック同期動作について検討した。ある種のメモリカードではクロック信号の立ち上りに同期してリードデータを出力する。別のメモリカードではクロック信号の立ち下がりに同期してリードデータを出力する。メモリカードホスト装置

もリードデータの取込みをクロックの立ち上り同期で行うものも有れば立ち下がり同期で行うものもある。メモリカードホスト装置とメモリカードとの間のクロック信号やリードデータの伝播には遅延が有るから、特定のメモリカードとカードホストとの組み合わせでは正常なデータリード動作を保証できない場合のあることが明らかにされた。そのような遅延に対する動作余裕はクロック信号周波数が高くなるほど厳しくなる。

#### 【 0 0 0 5 】

本発明の目的は、クロック信号及びデータの伝播遅延に起因するアクセスエラーを解消することが容易なメモリカードホスト装置用のデータプロセッサを提供することにある。

#### 【 0 0 0 6 】

本発明の別の目的は、クロック信号及びデータの伝播遅延に起因するアクセスエラーを解消することが容易なメモリカードを提供することにある。

#### 【 0 0 0 7 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

#### 【 0 0 0 8 】

##### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

#### 【 0 0 0 9 】

〔 1 〕 《メモリカードホスト装置用のデータプロセッサ》本発明に係るデータプロセッサは、中央処理装置と、クロック同期型のメモリカードに接続可能なメモリカードインタフェースコントローラとを有する。前記メモリカードインタフェースコントローラは、前記メモリカードにクロック信号を送信して前記メモリカードからの読み出しデータを前記クロック信号に同期して取り込み、前記読み出しデータの取り込みを前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかが選択可能である。クロック信号の半サイクルずれたタイミングで読み出しデータの取り込みタイミングを調整することができる。



**【 0 0 1 0 】**

また、前記メモリカードインタフェースコントローラは、前記クロック信号の周波数を切り換え可能である。周波数の切り換えも併用することで更に柔軟にタイミング調整を行うことができる。

**【 0 0 1 1 】**

タイミング調整の方法として、例えば、前記中央処理装置は読み出しデータのリードエラーに応答してクロック信号の立ち上り同期による取り込みと立ち下がり同期による取込みとを切り換える。また、前記中央処理装置は読み出しデータのリードエラーに応答してクロック信号を高周波から低周波に変更する。また、前記中央処理装置は読み出しデータのリードエラーに応答してクロック信号の立ち上り同期による取り込みと立ち下がり同期による取込みとを切り換え、切り換え後に生ずる読み出しデータのリードエラーに応答してクロック信号を高周波から低周波に変更する。また、前記中央処理装置は読み出しデータのリードエラーに応答してクロック信号を高周波から低周波に変更し、周波数変更後に生ずる読み出しデータのリードエラーに応答してクロック信号の立ち上り同期による取り込みと立ち下がり同期による取込みとを切り換える。

**【 0 0 1 2 】**

タイミング調整には前記中央処理装置によりアクセス可能な第 1 レジスタ及び第 2 レジスタを利用してよい。当該第 1 レジスタに設定される制御データにしたがって前記読み出しデータの取り込みを前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかが決定される。前記第 2 レジスタに設定される制御データにしたがって前記クロック信号の高周波又は低周波が決定される。

**【 0 0 1 3 】**

前記第 1 レジスタ及び第 2 レジスタに対する操作はソフトウェア処理で行ってよい。すなわち、電氣的に書換え可能な不揮発性メモリを有し、前記不揮発性メモリは、前記中央処理装置が実行して前記制御データを生成する制御プログラムの格納領域とされる。

**【 0 0 1 4 】**

前記メモリカードインタフェースコントローラは、前記メモリカードにクロッ

ク信号に同期してデータの送信を行い、データの送信を前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかを選択可能にしてもよい。

【0015】

〔2〕《メモリカード》本発明に係るメモリカードは、メモリカードホスト装置からクロック信号を受信して、読み出しデータを前記メモリカードホスト装置に送信可能であって、前記読み出しデータの送信を前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかが選択可能である。メモリカード側に対する操作でメモリカードホスト装置による読み出しデータの取り込みタイミングが調整可能になる。メモリカードホスト装置はタイミング調整のためにハードウェアを持たなくてもよい。

【0016】

前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかの指示はメモリカードホスト装置から与えられることになる。

【0017】

メモリカードホスト装置からデータを前記クロック信号に同期して取り込み、前記データの取り込みを前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかが選択可能であってもよい。

【0018】

【発明の実施の形態】

図1には本発明に係るデータプロセッサ1の一例が示される。同図に示されるデータプロセッサ1は、例えばCMOS集積回路製造技術により単結晶シリコンのような1個の半導体基板（半導体チップ）に形成される。

【0019】

データプロセッサ1は、代表的に示された中央処理装置（CPU）2と、前記CPU2によって制御されるメモリカードインタフェースコントローラ（MCIFC）3と、外部インタフェース回路（外部IF）4とを有する。前記CPU2とMCIFC3はバス5で接続され、また、このバス5には電氣的に消去及び書き込み可能な不揮発メモリ例えばフラッシュメモリ6及びCPU2のワーク領域とされるRAM（ランダム・アクセス・メモリ）7等が接続される。

**【0020】**

前記MC I F C 3は、例えばメモリカードとしてMMC若しくはマルチメディアカード（登録商標、以下単にMカードとも記す）に接続されて、転送クロック信号M C C L Kに同期してそのインタフェース制御を行う。その詳細は後述するが、前記MC I F C 3は、前記転送クロック信号M C C L Kに同期する前記Mカード10からの読み出しデータの取り込みを前記転送クロック信号M C C L Kの立ち上り同期で行なうか立ち下がり同期で行うかが選択可能であり、且つ、前記転送クロック信号M C C L Kの周波数を切り換え可能である。MC I F C 3は、信号インタフェース部11、取り込みタイミングの切換え回路12、周波数制御回路13、制御レジスタ14、制御レジスタ15、及びデータ送受信制御回路16によって構成される。

**【0021】**

前記信号インタフェース部11はMカード10に接続される。ここでMカード10に関するコマンド、端子機能、カードサイズなどの基本仕様はMMCアソシエーションによって既に策定されてる。この仕様によれば、Mカード10は第1乃至第7外部端子を有し、MMCモードとS P I（Serial Peripheral Interface）モードを有する。Mカード10はバスを共有することができる。要するに、Mカード10は一つのメモリカードホスト装置に対して多数接続可能にされる。データプロセッサ1はメモリカードホスト装置に利用されることになる。MMCモードとS P Iモードとの相違は外部とのインタフェース仕様と、Mカードの選択手法である。

**【0022】**

前記外部インタフェース仕様という点において、MMCモードでは、第1外部端子P1はリザーブ端子（オープン又は論理値“1”に固定）NC、第2外部端子P2はコマンド端子（コマンド入力及び応答信号出力を行う）CMD、第3及び第6外部端子は回路の接地電圧（グランド）端子V s s 1, V s s 2、第4外部端子P4は電源電圧供給端子V c c、第5外部端子P5はクロック入力端子C L K、第7外部端子P7はデータの入出力端子D A Tとして機能される。図2にはMMCモードにおけるMC I F C 3とMカード10の信号インタフェースの様

子が見られる。MCLKは転送クロック信号、MCCMDはMCIFC3からMカード10へのコマンド送信信号及びMカード10からMCIFC3へのレスポンス信号、MCDATはMCIFC3からMカード10へのデータ信号及びMカード10からMCIFC3へのデータ信号である。

#### 【0023】

SPIモードでは、第1外部端子P1はチップセレクト端子（負論理）CS、第2外部端子P2はデータ入力端子（カードホストからMカード10へのデータ及びコマンド入力用）DI、第3及び第6外部端子P3、P4は回路の接地電圧（グランド）端子Vss1、Vss2、図示しない第4外部端子P4は電源電圧供給端子Vcc、第5外部端子P5はクロック入力端子CLK、第7外部端子P7はデータ出力端子（Mカード10からカードホストへのデータ及びステータス出力）DOとして機能される。図3にはSPIモードにおけるMCIFC3とMカード10の信号インタフェースの様子が示される。MCLKは転送クロック信号、MCTxDはMCIFC3からMカード10へのコマンド送信及びデータ送信信号、MCRxDはMカード10からMCIFC3へのコマンドレスポンス信号及びデータ受信信号、MCCSはMCIFC3からMカード10へのチップ選択信号である。

#### 【0024】

前記Mカード10の選択手法という点において、MMCモードは複数枚のメモ리카ードの中からアクセスするカードを選択するのに、カード認識フローの中で夫々のカードに固有の相対アドレス（RCA:Relative Card Address）を一枚一枚に割り振っておき、この相対アドレスを指定することでカードを選択する。カード認識は以下の動作で行われる。バスに共通接続された複数のMカードにMMCモードが指定されているとき、Mカードのメモ리카ードホスト装置（単にMカードホストとも記す）からコマンドライン（コマンド端子CMDが接続する信号線）に所定のコマンドが発行されると、レディー状態のMカードは同じタイミングで一斉にカード識別情報（CID:Card Identification Number）を1ビットずつコマンドラインに出力する。コマンドラインはオープンドレインアーキテクチャとなっており、コマンドラインに対する出力は例えばローレベル又は高出

カインピーダンスになる。夫々のMカードは1ビット出力毎にコマンドラインの状態と自分自身のカード識別情報の対応ビットの値とを比較し、異なる場合はそこでC I Dの送信動作を中止してレディ状態に戻る。この結果、最終的にはC I D値の一番小さな一枚のメモリカードが最後まで自身のC I D値の送信を完了させることができ、アイデンティフィケーション状態に遷移する。アイデンティフィケーション状態に遷移したメモリカードに対してR C Aを設定する。この認識操作を何回も繰返して全てのメモリカードにR C Aを設定する。

#### 【0 0 2 5】

S P Iモードでは、複数枚のカード夫々に対してチップセレクト信号M C C Sが前記チップ選択端子C Sに接続してあり、アクセスしたいカードのチップセレクト信号M C C Sを選択レベルにアサートしてMカード1 0を選択すればよい。

#### 【0 0 2 6】

Mカード1 0に対するモード設定はM C I F C 3によるカード認識処理において端子P 1に所定タイミングで供給する信号M C C SがローレベルであればMカード1 0はS P Iモードに設定され、ハイレベルであればMMCモードに設定される。

#### 【0 0 2 7】

前記信号インタフェース部1 1は、クロックバッファ2 0、入力バッファ2 1, 2 3、出力バッファ2 2、2 4、及びセクタ2 5, 2 6を有し、Mカード1 0の端子P 5, P 2, P 7, P 1に接続される。前記セクタ2 5, 2 6に対する入力選択制御及び入力バッファ2 1, 2 3と出力バッファ2 2, 2 4に対する動作制御はデータ送受信制御回路1 6がMカード1 0に設定した動作モード及び入出力動作に応じて行う。Mカード1 0にMMCモードが設定されたとき、コマンド出力には出力バッファ2 2が用いられ、コマンドレスポンス入力には入力バッファ2 1が用いられ、セクタ2 5は入力バッファ2 1の出力を選択する。また、データ出力には出力バッファ2 4が用いられ、データ入力には入力バッファ2 3が用いられ、セクタ2 6は入力バッファ2 3の出力を選択する。Mカード1 0にS P Iモードが設定されたとき、コマンド出力及びデータ出力には出力バッファ2 2が用いられ、コマンドレスポンス入力及びデータ入力には入力バッファ

ァ 2 3 が用いられ、コマンドレスポンス入力はセレクトア 2 5 経由で後段に伝達され、データ入力はセレクトア 2 6 経由で後段に伝達される。

#### 【 0 0 2 8 】

取り込みタイミングの切換え回路 1 2 は、セレクトア 2 5 の出力段にラッチ回路 (F F) 3 0、3 1 とセレクトア 3 2 を有し、セレクトア 2 6 の出力段にラッチ回路 (F F) 3 3、3 4 とセレクトア 3 5 を有する。ラッチ回路 3 0、3 3 は前記転送クロック信号 M C C L K の立ち上りに同期して入力をラッチする。前記ラッチ回路 3 1、3 4 は前記転送クロック信号 M C C L K の立ち下がりにも同期して入力をラッチする。セレクトア 3 2 は前記ラッチ回路 3 0 又はラッチ回路 3 1 の出力を選択する。セレクトア 3 5 は前記ラッチ回路 3 3 又はラッチ回路 3 4 の出力を選択する。セレクトア 3 2、3 5 による選択動作は制御レジスタ 1 5 に設定される制御データ D 1 の論理値で決まる。前記制御レジスタ 1 5 の制御データ D 1 が論理値 “1” のときは、ラッチ回路 3 0、3 3 の出力が選択され、これにより、データ送受信制御回路 1 6 は、転送クロック信号 M C C L K の立ち上がりにも同期して、セレクトア 2 5 から出力されるコマンドレスポンスを認識し、また、セレクトア 2 6 から出力される受信データ (Mカードからのリードデータ) を認識することができる。一方、レジスタ 1 5 の制御データ D 1 が論理値 “0” のときは、ラッチ回路 3 1、3 4 の出力が選択され、これにより、データ送受信制御回路 1 6 は、転送クロック信号 M C C L K の立ち下がりにも同期して、セレクトア 2 5 から出力されるコマンドレスポンスを認識し、また、セレクトア 2 6 から出力される受信データ (Mカードからのリードデータ) を認識することができる。

#### 【 0 0 2 9 】

周波数制御回路 1 3 はシステムクロック信号 C L K に基いて転送クロック信号 M C C L K を生成する。周波数制御回路 1 3 は制御レジスタ 1 4 に設定される制御データ D 2 に従って転送クロック信号 M C C L K の周波数を制御する。例えば制御データ D 2 が論理値 “1” のとき転送クロック信号 M C C L K の周波数は 2 0 メガヘルツ (M H z) のように相対的に高い周波数 (高周波) とされ、制御データ D 2 が論理値 “0” のとき転送クロック信号 M C C L K の周波数は 1 5 メガヘルツ (M H z) のように相対的に低い周波数 (低周波) とされる。

**【 0 0 3 0 】**

データ送受信制御回路 1 6 は C P U 2 からのセットアップコマンドなどに応答して M カード 1 0 の認識及びモード設定を行い、C P U 2 からのアクセスコマンドに応答して M カード 1 0 に対するアクセス制御を行う。M C I F C 3 は、M カード 1 0 からのリードデータをバス 5 に出力し、M カード 1 0 へのライトデータをバス 5 から入力する。

**【 0 0 3 1 】**

前記制御レジスタ 1 4 , 1 5 は C P U 2 のアドレス空間に配置され、C P U 2 による制御プログラムの実行により制御データ D 1 , D 2 の設定が行われる。

**【 0 0 3 2 】**

図 4 には S P I モードの M カード 1 0 に対するリードアクセスの動作タイミングが例示される。ここではクロック信号 M C C L K の周波数を 2 0 M H z とする。転送クロック信号 M C C L K は、送信基端側のノード ( A ) に対して受信端ではクロック伝播遅延を生ずる。M カード 1 0 は例えば転送クロック信号 M C C L K の立ち下がりに同期してノード ( C ) からバスにリードデータ M C R x D を出力する。この出力までにはデータ出力遅延を生じ、更にバス上でのデータ伝播遅延を生じ、M C I F C 3 の入力ノード ( D ) 到達する。図 4 の例では M C I F C 3 の入力ノード ( D ) にリードデータが到達するタイミングは、ノード ( A ) における転送クロック信号 M C C L K 波形の立ち上りエッジの近傍とされる。この状態で、M C I F C 3 がリードデータを転送クロック信号 M C C L K の立ち上り同期で取り込むと (時刻  $t_m$ )、リードデータは未だ不確定な状態でラッチ回路にラッチされてデータエラーを生ずる虞がある。このとき、M C I F C 3 はリードデータを転送クロック信号 M C C L K の立ち下がり同期で取り込めば (時刻  $t_n$ )、確定後のリードデータをラッチ回路にラッチすることができる。ラッチタイミングの変更はクロック信号 M C C L K の周波数変更によっても同様に達成することができる。周波数の変更は必ずしも高周波から低周波への変更に限定されず逆であってもよい。

**【 0 0 3 3 】**

図 5 には前記制御データの設定態様が例示される。制御データの変更方法は C

P U 2 の制御プログラムにしたがって自動的に行ってもよいし、システム上でユーザが任意に行なってもよい。そのような制御プログラムは外部 I F 4 を介してフラッシュメモリ 6 の所定のプログラム領域に格納されていればよい。フラッシュメモリ 6 に対するプログラムの格納はデータプロセッサ 1 がシステムに実装された状態（オン・ボードの状態）でも可能である。

#### 【0034】

任意変更の処理は、システム上でデータエラーが発生する状態をユーザ（システムの利用者）が認識することにより、任意に制御レジスタ 14, 15 の値を設定変更する処理とされる。図 5 では変更形態（1）、（3）がそれに該当する。

#### 【0035】

プログラムによる自動変更の処理は、例えば M カード 10 からのリードデータに対するリードエラーの発生を一つの割り込み要因とし、これによる割り込み処理で C P U 2 に制御レジスタ 14, 15 の値を設定変更させる処理である。リードエラーの発生は例えばリードデータに付加される C R C （サイクル・リダンダンシ・チェック）コード等を用いて行なえばよい。変更形態（2）では高周波から低周波に変更する。変更形態（4）では取り込みエッジを立ち上りから立ち下がりに変化させる。変更形態（5）では、最初のデータエラーで取り込みエッジを立ち上りから立ち下がりに変化させ、次のデータエラーで転送クロック信号 M C C L K の周波数を高周波を低周波に変更し、更にデータエラーが有った場合には取り込みエッジを立ち下がりから立ち上がりに変化させる。変更形態（6）は、最初のデータエラーで転送クロック信号 M C C L K の周波数を高周波から低周波に変更し、次のデータエラーで取り込みエッジを立ち上りから立ち下がりに変化させる。変更形態（7）は、最初のデータエラーで転送クロック信号 M C C L K の周波数を低周波から高周波に変更し、次のデータエラーで取り込みエッジを立ち上りから立ち下がりに変化させる。変更形態（8）は、最初のデータエラーで取り込みエッジを立ち上りから立ち下がりに変化させ、次のデータエラーで転送クロック信号 M C C L K の周波数を低周波から高周波に変更し、更にデータエラーが有った場合には取り込みエッジを立ち下がりから立ち上がりに変化させる。



## 【0036】

尚、何回目のデータエラーであるかはデータ転送制御回路16がその回数を計数するカウンタ手段若しくはフラグ手段を有することによって把握すればよい。また、一旦設定した制御データはMカードが取り外されない限りメモリカードホスト装置のスリープもしくはスタンバイ状態においても保持されるのが望ましい。動作電源が遮断され、或はMカードが交換されたときは、制御レジスタ14, 15は初期化される。リードデータの出力タイミングが転送クロック信号の立ち上がり同期であるのか立ち下がり同期であるのかはMカードの種類に応じて異なるからである。

## 【0037】

図6には別のMCIFB3Aの例が概略的に示される。ここでは、受信信号の取り込みタイミングの切り換え回路12の他に、送信信号の送信タイミングに対する切り換え回路43を採用する。前記切り換え回路43は、例えば出力バッファ22の前段に、ラッチ回路41, 42及びセクタ40を配置して構成される。ラッチ回路41は送信クロック信号MCLKの立ち上がり同期で送信データをラッチする。ラッチ回路42は送信クロック信号MCLKの立ち下がり同期で送信データをラッチする。セクタ40は制御レジスタ44に設定される制御データD3の論理値に従ってラッチ回路41の出力又はラッチ回路42の出力を選択する。これにより、Mカード10によるデータ取り込みにデータエラーを生ずるような場合にも制御データD3の設定で対処可能になる。尚、図6において図1の一部の構成は図示が省略されている。

## 【0038】

図7には別のタイミングの切り換え回路12Aが例示される。ここでは周波数制御回路13はシステムクロック信号CLKを2分周して転送クロック信号MCLKを生成する。ラッチ回路30, 31にはクロック制御回路50で生成されたクロック信号CLKが供給される。クロック制御回路50は制御レジスタ51に設定された制御データD4が論理値“1”のとき転送クロック信号MCLKの位相を180°進めたクロック信号CLKを出力し、制御データD4が論理値“0”のとき転送クロック信号MCLKの位相を270°進めたクロック信

号 LCLK を出力する。ラッチ回路 30 はクロック信号 LCLK の立ち上り同期でリードデータを取り込み、ラッチ回路 31 はクロック信号 LCLK の立ち下がり同期でリードデータを取り込む。セクタ 32 がラッチ回路 30 又は 31 の出力を選択する。

#### 【0039】

図 8 には図 7 のタイミング切り換え回路 12A を用いたときの動作タイミングが例示される。D4 = 1 で立ち上り同期 (D1 = 1) を選択すればコマンドレスポンスの取り込みタイミングは時刻 t1、D4 = 1 で立ち下がり同期 (D1 = 0) を選択すればコマンドレスポンスの取り込みタイミングは時刻 t3、D4 = 0 で立ち上り同期 (D1 = 1) を選択すればコマンドレスポンスの取り込みタイミングは時刻 t2、D4 = 0 で立ち下がり同期 (D1 = 0) を選択すればコマンドレスポンスの取り込みタイミングは時刻 t4 となる。これにより、取り込みタイミングの選択の余地が更に拡大する。特に図示はしないが、データ MC DAT / MC RxD についても同様の構成を採用可能である。

#### 【0040】

図 9 には本発明に係るメモリカードの一例として M カード 61 が示される。M カード 61 の外部インタフェース機能及びコマンド応答機能は基本的に前記 M カード 10 と同じである。先ず M カード 61 の基本構成を説明する。M カード 61 は、厚さが 1.4 mm、平面寸法が 24 mm × 32 mm のカード基板サイズを有し、その端子面には、外部端子 P0 ~ P6 が等間隔で 7 個配置される。外部端子 P0 ~ P6 はインタフェース部 62 に接続され、インタフェース部 62 には消去及び書き込み可能な不揮発性メモリとしてフラッシュメモリ 63 が接続される。

#### 【0041】

フラッシュメモリ 63 の詳細は特に図示はしないが、蓄積電荷量もしくは極性に従って閾値電圧制御されるフローティングゲート型の不揮発性メモリセルを用いた構成、或はソース・ドレイン電極に対して電荷をトラップする位置に応じて情報記憶を行なう MONOS (メタル・オキサイド・ナイトライド・オキサイド・セミコンダクタ) 等の局在的電荷トラップ型の不揮発性メモリセルを用いた構成を採用することができる。メモリセル 1 個当りの記憶情報ビット数は 2 ビット

に限定されず、4ビット等の多値であってもよい。

#### 【0042】

インタフェース部62は、Mカード61のホストインタフェース制御部64、フラッシュメモリインタフェース制御部65、バッファメモリ66、それらを制御する制御部67を有する。制御部67は例えばシングルチップマイクロコンピュータによって構成することができる。ホストインタフェース制御部64と外部端子P0～P6との間には、その端子機能にしたがって入力バッファIBUF1～IBUF4、出力バッファOBUF1，OBUF2が配置される。入力バッファIBUF3、IBUF2の後段には信号取り込みタイミングの切り換え回路70，71が設けられ、出力バッファOBUF1，OBUF2の前段には送信タイミングの切り換え回路72，73が配置される。Mカード61は前述の通りであり、MMCモードとSPIモードを有する。

#### 【0043】

図10には信号取り込みタイミングの切り換え回路70と送信タイミングの切り換え回路73が例示される。取り込みタイミングの切り換え回路70は、ラッチ回路75，76とセクタ77によって構成され、入力データMCTxDをクロック信号MCCLKの立ち上り同期又は立ち下がり同期で取り込むことができる。何れを選択するかは制御レジスタ78の制御データD5によって決定することができる。送信タイミングの切り換え回路73は、ラッチ回路80，81とセクタ82によって構成され、出力データMCRxDをクロック信号MCCLKの立ち上り同期又は立ち下がり同期で取り込むことができる。何れを選択するかは制御レジスタ83の制御データD6によって決定することができる。図示は省略するが、他の切り換え回路71，72も同様に構成される。

#### 【0044】

制御レジスタ78，83に対する制御データD5，D6の設定はメモリカードホスト装置が行う。要するに、制御レジスタ78，83はMカード61のその他の制御レジスタと同様に外部から与えられるレジスタアクセスコマンドにしたがってアクセスされて制御情報の設定が可能にされる。

#### 【0045】

上記Mカード61によれば、データエラーに対する取込みタイミングや送信タイミングを調整するための構成をMカード61に負担させることが可能になる。メモリカードホスト装置はデータエラーの検出とそれに基づく制御データの設定を行う制御プログラムを持てばよい。

#### 【0046】

図11には前記データプロセッサ1の詳細を全体的に示してある。図11においてデータプロセッサ1は、中央処理装置(CPU)2、データトランスファコントローラ(DTC)90、リードオンリメモリ(ROM)91、CPU2の作業領域並びにデータの一時記憶に利用されるランダムアクセスメモリ(RAM)92、CPU2の制御プログラムなどを格納するフラッシュメモリ6、バスコントローラ93、クロック発生回路(CPG)94、割込みコントローラ95、タイマカウンタ(TMR)96、シリアルコミュニケーションインタフェースコントローラ(SCI)97、ユニバーサルシリアルバスコントローラ(USB)98、MCIFC3、パルスワイズモジュレータ(PWM)99、ウォッチドッグタイマ(WDT)100、フリーランニングタイマ(FRT)101、及び入出力ポート102~104を有する。前記CPU2、DTC90、ROM91、RAM92及びバスコントローラ93はCPUバス106に接続される。このCPUバス106はバスコントローラ93を介して周辺バス107にインタフェースされ、周辺バス107には、周辺回路として、前記割込みコントローラ95、TMR96、SCI97、USB98、MCIFC3、PWM99、及びWDT100が接続される。前記CPUバス106及び周辺バス107は夫々、データバス、アドレスバス及び制御信号バスを含んでおり、前記バス5に対応される。前記周辺バス107は入出力ポート102を介して外部バス(図示せず)とインタフェースされ、CPUバス106はバスコントローラ93を介して周辺バス107、更には入出力ポート102を介して外部バスとインタフェースされる。入出力ポート103、104は周辺回路のための外部インタフェースバッファとして機能される。

#### 【0047】

データプロセッサ1においてバスマスタモジュールは、前記CPU2及びDT

C 9 0 である。前記 C P U 2 は、例えば R O M 9 1 又はフラッシュメモリ 6 から命令をフェッチし、取り込んだ命令を解読する命令制御部と、命令制御部による命令解読結果に従って汎用レジスタや算術論理演算器などを用いて演算処理を行なう実行部とを有する。D T C 9 0 のデータ転送制御条件は予め C P U 2 により R A M 9 2 に設定され、F R T 1 0 1 がデータ転送要求を発すると、対応するデータ転送制御条件が R A M 9 2 から D T C 9 0 にロードされ、D T C 9 0 はロードされた転送制御条件に従ったデータ転送制御を行う。

#### 【 0 0 4 8 】

バスコントローラ 9 3 は、バスマスタモジュールである C P U 2、D T C 9 0、及び外部バスマスタとの間のバス権要求の競合に対する調停を行う。調停論理は例えば優先順位に基づく調停制御である。調停の結果、バス権が与えられたバスマスタモジュールは、バスコマンドを出力し、バスコントローラ 9 3 は、このバスコマンドに基づいてバスの制御を行なう。バスコントローラ 9 3 は、バスマスタモジュールの出力するアドレス信号がデータプロセッサ 1 の外部アドレス空間を意味する場合には、入出力ポート 1 0 2 を介して外部にアドレス信号及びアクセスストロブ信号を出力する。

#### 【 0 0 4 9 】

割り込みコントローラ 9 5 には、周辺バス 1 0 7 に接続された F R T 1 0 1 などの周辺回路から出力される内部割り込み信号や入出力ポート 1 0 4 を介して外部から入力される外部割り込み信号が供給される。前記内部割り込み信号及び外部割り込み信号は 1 1 0 で総称される。割り込みコントローラ 9 5 は、入力された割り込み信号に対して優先制御及びマスク制御を行って、割り込み要求を受け付ける。割り込みコントローラ 9 5 は、割り込みを受付けると、その割り込み要求信号の種類などに応じて、C P U 2 に割り込み要求信号 I R Q を出力し、或いは D T C 9 0 に D T C 起動要求信号 D T R Q を出力する。

#### 【 0 0 5 0 】

C P U 2 に割込要求信号 I R Q が与えられると、C P U 2 は実行中の処理を中断して、割り込み要因に応じた所定の処理ルーチンに分岐する。分岐先の処理ルーチンの最後では、復帰命令が実行され、この命令を実行することによって前記中

断した処理が再開可能にされる。

**【0051】**

その他、データプロセッサ1は電源端子として、グラウンドレベル（VSS）及び電源電圧レベル（VCC）などの外部端子を有し、その他に専用制御端子として、リセット入力（RES）、スタンバイ入力（STBY）、モード制御入力（MD0、MD1）、クロック入力（EXTAL、XTAL）の各端子を有する。

**【0052】**

前記CPG94は、特に制限されないが、端子EXTAL、XTALに接続される水晶発振子またはEXTAL端子に入力される外部クロック信号に基づいてシステムクロック信号CLKを生成する。

**【0053】**

データプロセッサ1にリセット信号RESが与えられると、CPU2等のオンチップ回路モジュールはリセット状態とされる。このリセット信号RESによるリセット状態が解除されると、CPU2は所定のスタートアドレスから命令をリードし、プログラムの実行を開始し、それに従って、例えば、RAM92からデータをフェッチし、フェッチしたデータの演算処理を行い、処理結果に基づいて、MCIFC3などを使用して、外部と信号入出力を行って、各種の機器制御を行う。

**【0054】**

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

**【0055】**

例えば、メモリカードはMカードに限定されず、その他の規格のメモリカードであってもよい。また、周波数の切り換えは低周波と高周波の2段階切り換えに限定されず更に細かく切り換えるようにしてもよい。データプロセッサが保有する回路モジュールは上記説明に限定されず適宜変更可能である。

**【0056】**

**【発明の効果】**

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0 0 5 7】

すなわち、信号の取り込みタイミングや送信タイミングに対するクロック信号の立ち上り同期又は立ち下がり同期を切り換え可能であり、また、クロック信号の周波数を切り換え可能であるから、クロック信号及びデータの伝播遅延に起因するアクセスエラーを容易に解消することができる。

【図面の簡単な説明】

【図 1】

本発明に係るデータプロセッサの一例を示すブロック図である。

【図 2】

MMCモードにおけるMC I F CとMカードとの信号インタフェースの様子を示す説明図である。

【図 3】

S P IモードにおけるMC I F CとMカードとの信号インタフェースの様子を示す説明図である。

【図 4】

S P IモードのMカードに対するリードアクセスの動作タイミングを例示するタイミングチャートである。

【図 5】

制御データの設定態様を例示する説明図である。

【図 6】

別のMC I F Bの例を概略的に示すブロック図である。

【図 7】

別のタイミングの切り換え回路を例示する回路図である。

【図 8】

図 7 のタイミングの切り換え回路を用いたときの動作タイミングを例示するタイミングチャートである。

【図 9】

本発明に係るメモリカードの一例を示すブロック図である。

【図 1 0】

図 9 のメモリカードにおける信号取り込みタイミングの切り換え回路と送信タイミングの切り換え回路を例示する回路図である。

【図 1 1】

データプロセッサの詳細を全体的に示すブロック図である。

【符号の説明】

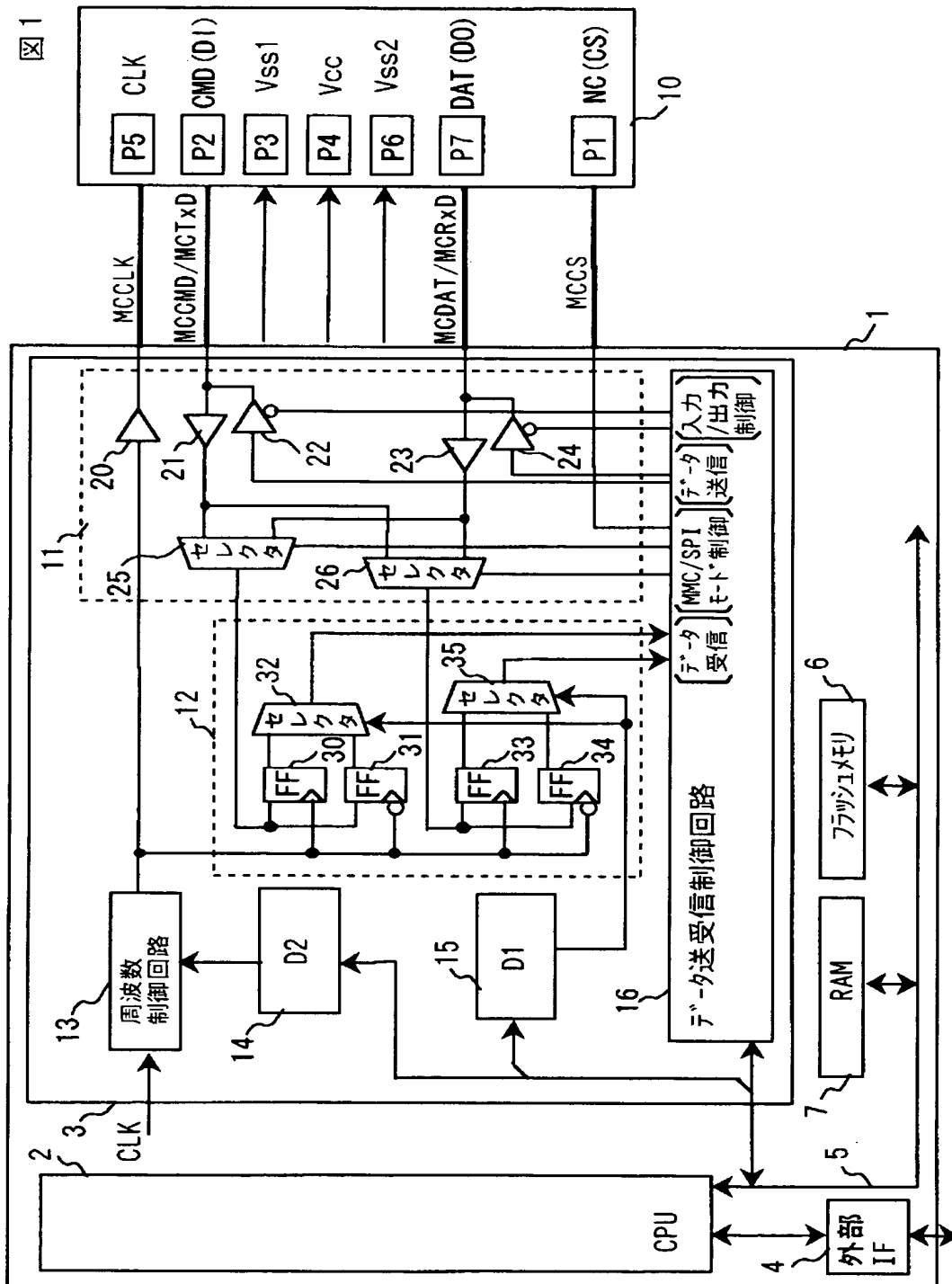
- 1 データプロセッサ
- 2 CPU
- 3、3A メモリカードインタフェースコントローラ
- 6 フラッシュメモリ
- 10 メモリカード (Mカード)
- 11 信号インタフェース部
- 12, 12A 取り込みタイミングの切り換え回路
- 13 周波数制御回路
- 14, 15 制御レジスタ
- D1, D2 制御データ
- 30, 31, 33, 34 ラッチ回路
- 32, 35 セレクタ
- 40 セレクタ
- 41, 42 ラッチ回路
- 43 送信タイミングの切り換え回路
- 50 クロック制御回路
- 51 制御レジスタ
- D4 制御データ
- 60 メモリカード (Mカード)
- 70, 71 信号取り込みタイミングの切り換え回路
- 72, 73 送信タイミングの切り換え回路
- 78, 83 制御レジスタ



D 5, D 6 制御データ

【書類名】 図面

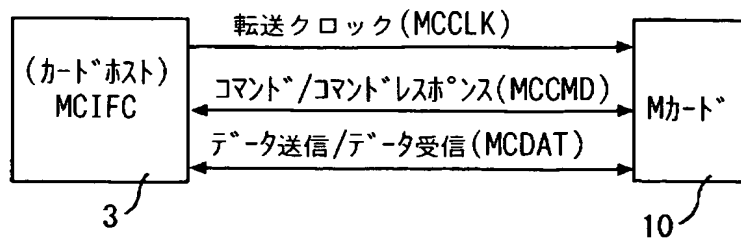
【図 1】



【図 2】

図 2

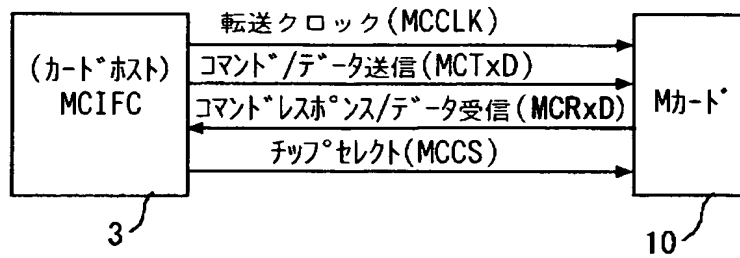
〔MMCモードでの接続〕



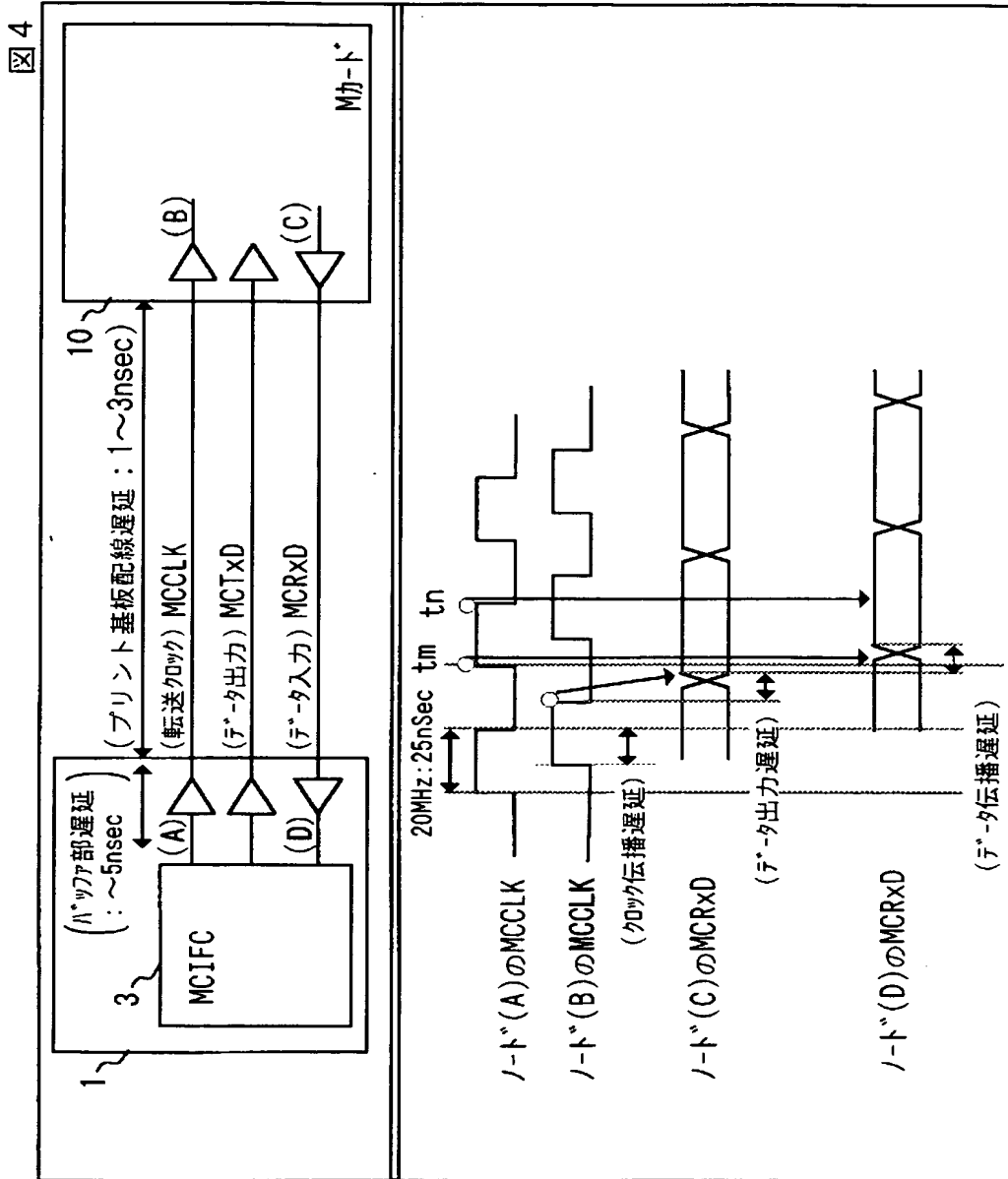
【図 3】

図 3

〔SPIモードでの接続〕



【図 4】



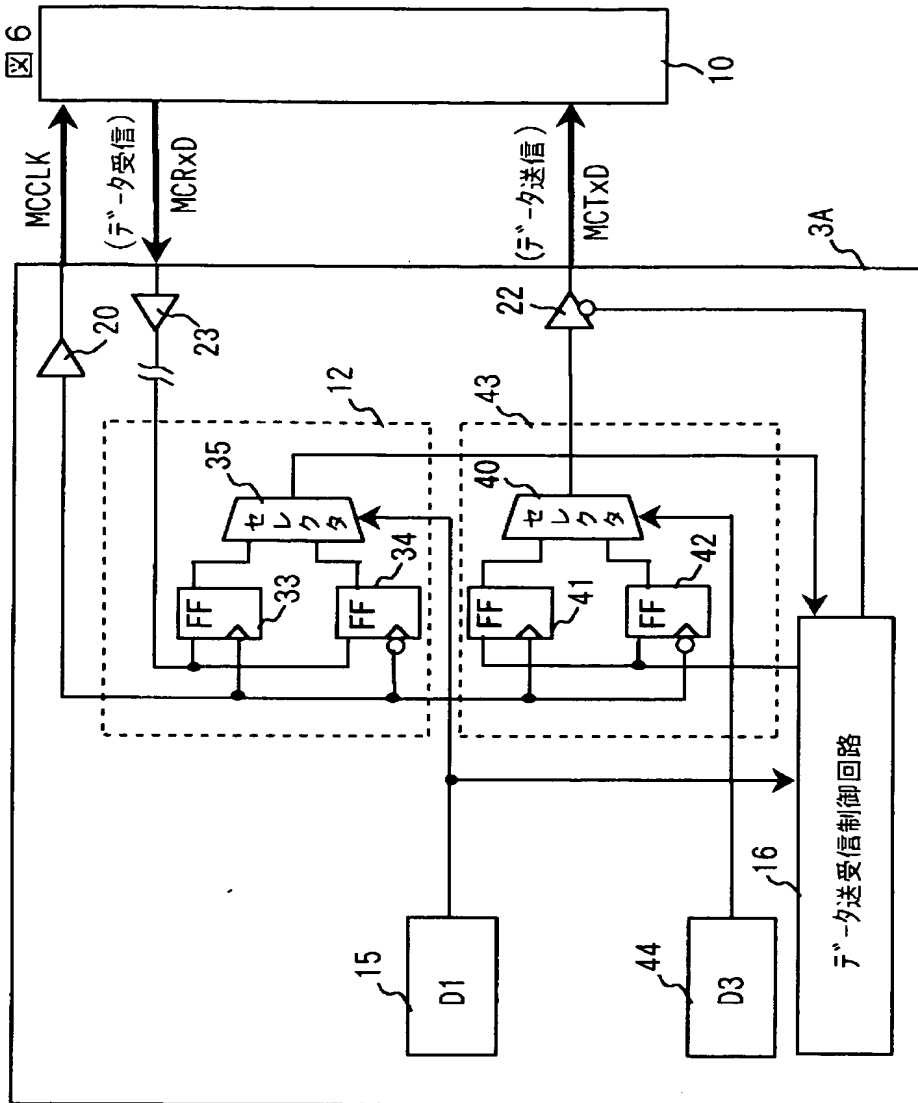
【図 5】

図 5

	変更方法		変更対象			
	任意に変更	ソフトで変更	高周波→ 低周波	低周波→ 高周波	立ち上がり→ 立ち下がり	立ち下がり→ 立ち上がり
(1)	○		○			
(2)		○	○			
(3)	○				○	
(4)		○			○	
(5)		○	○: 2		○: 1	○: 3
(6)		○	○: 1		○: 2	
(7)		○		○: 1	○: 2	
(8)		○		○: 2	○: 1	○: 3

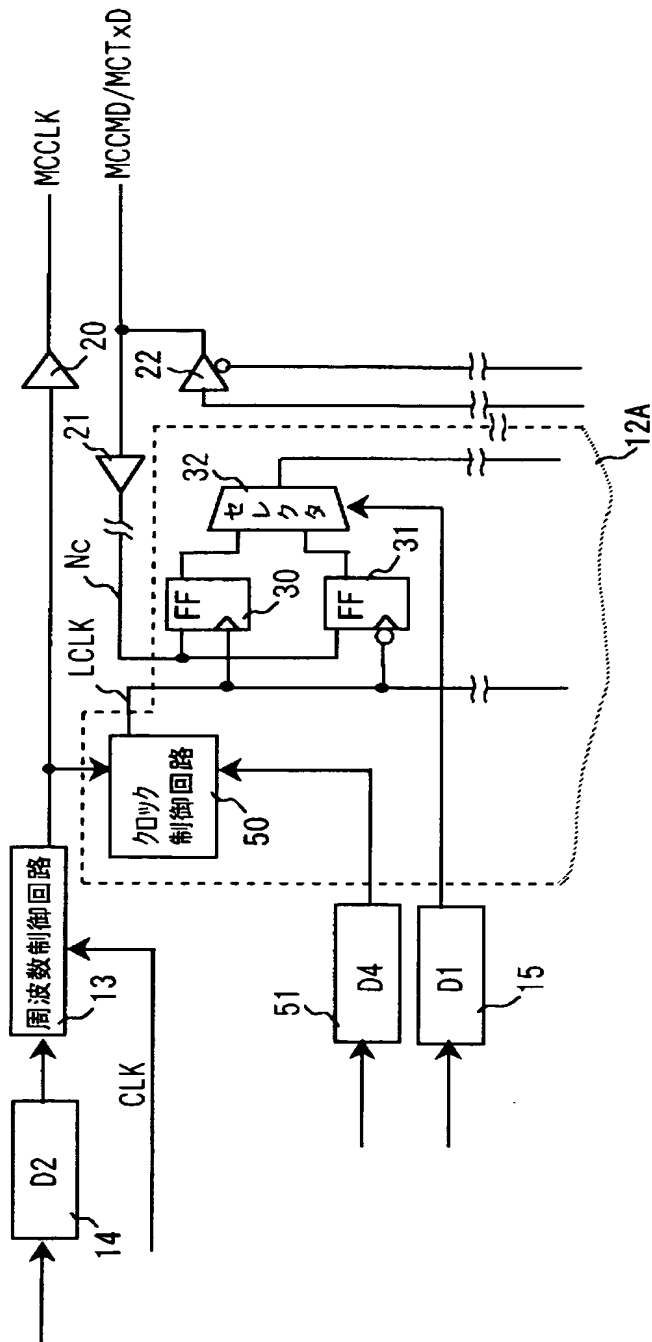
(番号は変更順序)

【図 6】



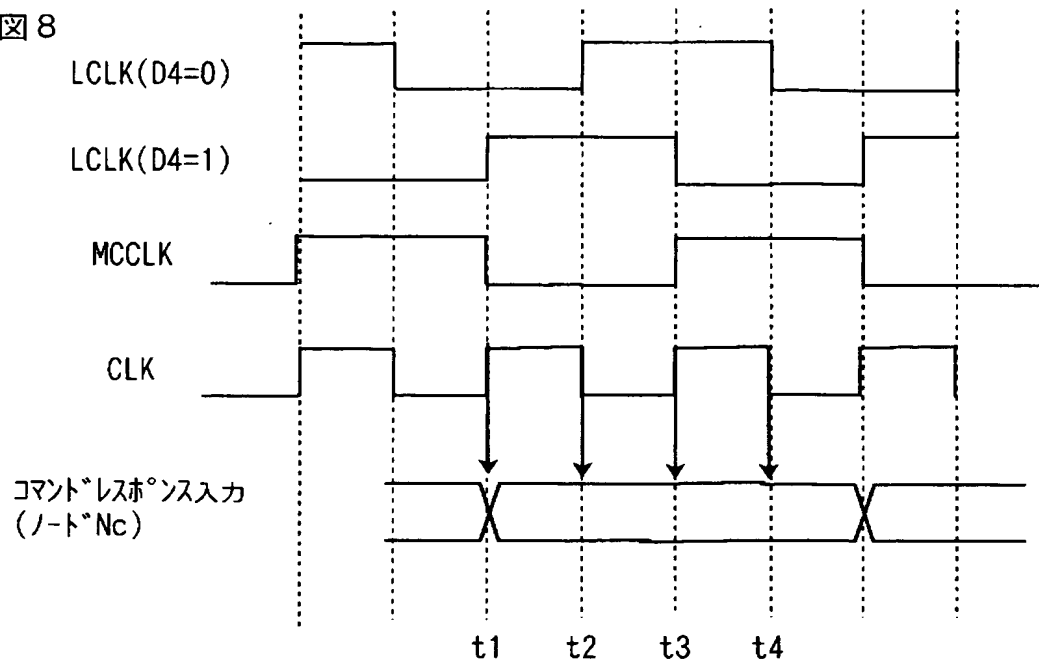
【図 7】

図 7



【図 8】

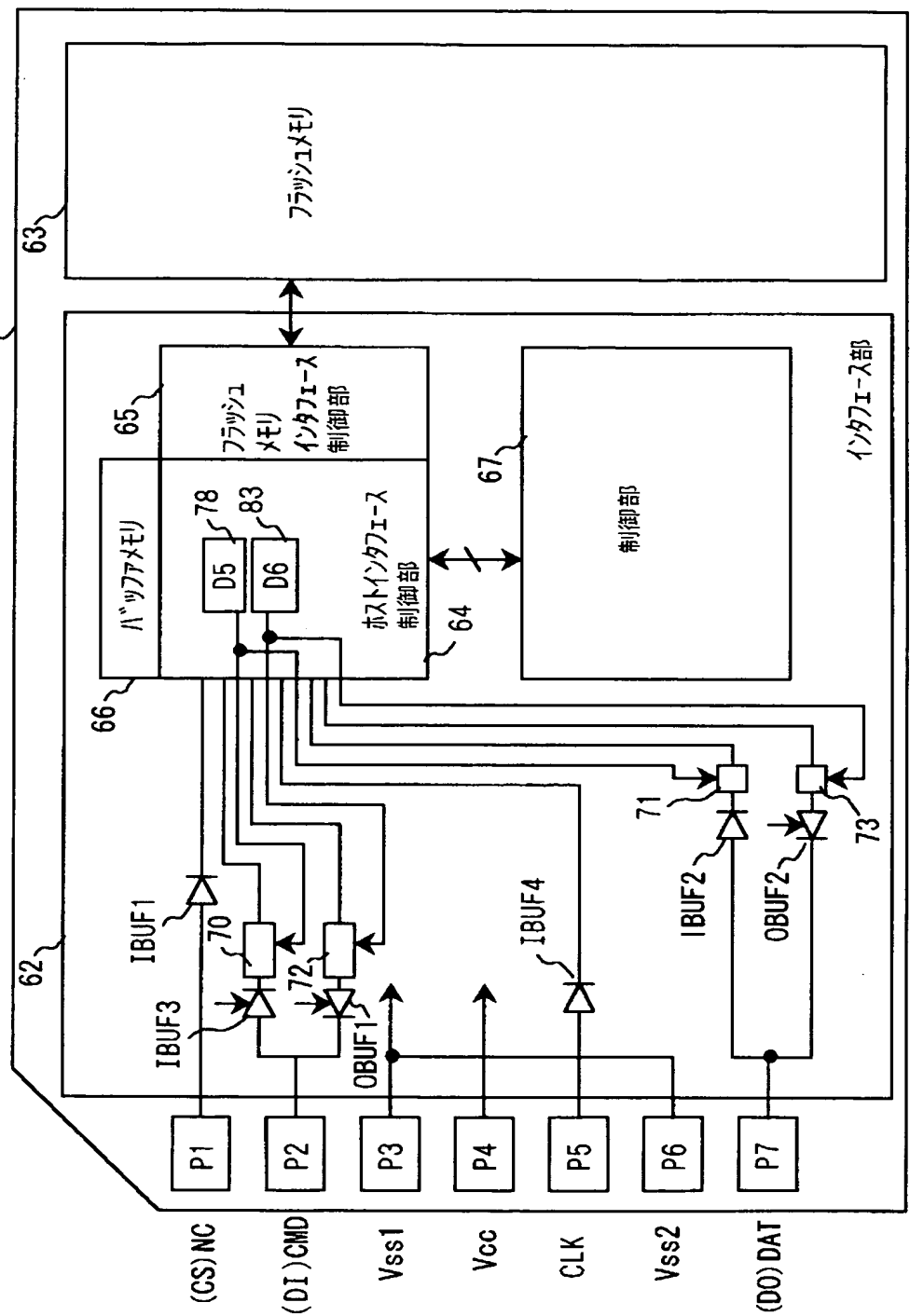
図 8



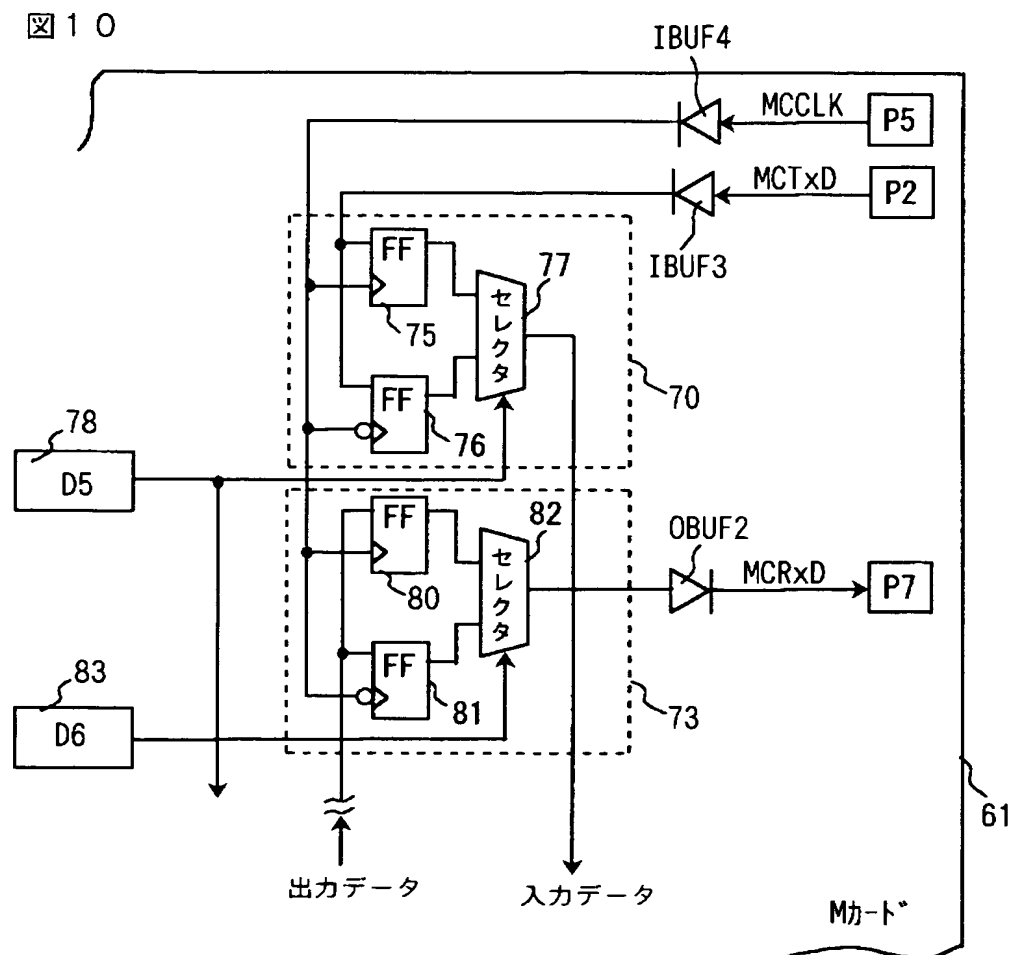


【図9】

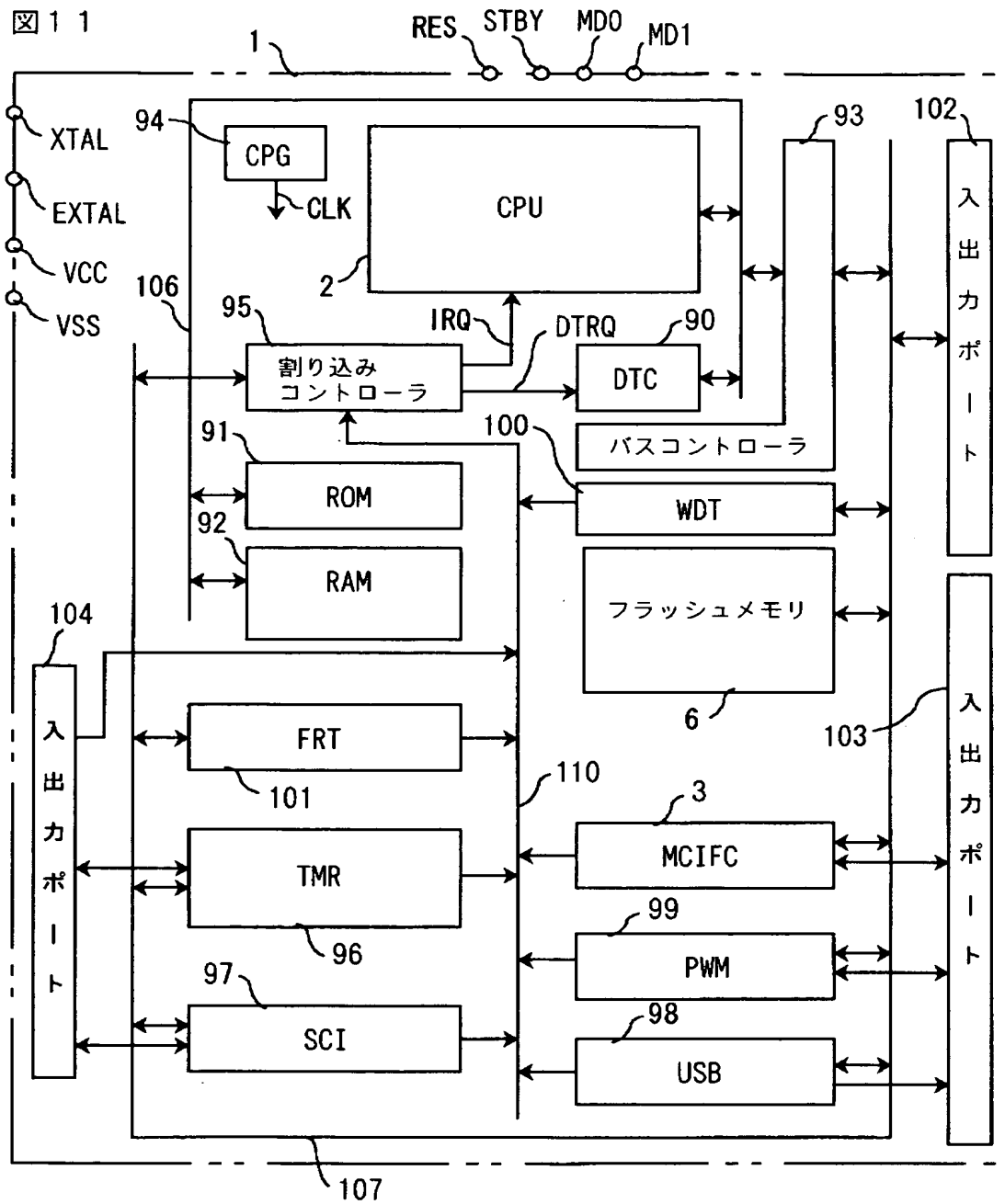
図9



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 クロック信号及びデータの伝播遅延に起因するアクセスエラーを解消することが容易なカードホスト用のデータプロセッサを提供する。

【解決手段】 メモリカードインタフェースコントローラ（3）は、メモリカード（10）にクロック信号を送信して前記メモリカードからの読み出しデータを前記クロック信号に同期して取り込み、前記読み出しデータの取り込みを前記クロック信号の立ち上り同期で行なうか立ち下がり同期で行うかが選択可能である。クロック信号の半サイクルずれたタイミングで読み出しデータの取り込みタイミングを調整することができる。メモリカードインタフェースコントローラは、前記クロック信号の周波数を切り換え可能である。周波数の切り換えも併用することで更に柔軟にタイミング調整を行うことができる。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-361652

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【提出物件の目録】

【包括委任状番号】 0308734

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 2 - 3 2 1 6 4 9 号 同日提出の出願人  
名義変更届（一般承継）を援用する

【プールの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 6 1 6 5 2
受付番号	5 0 3 0 1 2 1 0 8 1 1
書類名	出願人名義変更届（一般承継）
担当官	土井 恵子 4 2 6 4
作成日	平成 1 5 年 1 0 月 7 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 23 日

特願 2 0 0 2 - 3 6 1 6 5 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 6 1 6 5 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 3 3 5 9 4 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 5 日

[変更理由]

名称変更

住所変更

住 所

北海道千歳市泉沢 1 0 0 7 番地 3 9

氏 名

株式会社北日本セミコンダクタテクノロジーズ

2. 変更年月日

2 0 0 3 年 4 月 1 1 日

[変更理由]

名称変更

住 所

北海道千歳市泉沢 1 0 0 7 番地 3 9

氏 名

株式会社ルネサス北日本セミコンダクタ



特願 2 0 0 2 - 3 6 1 6 5 2

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ